

Embedding Technologie Design Guide



INDIKATOREN FÜR DEN EINSATZ DER TECHNOLOGIEN

ET Solder

- Aktive Bauelemente, die nicht als Bare Die („Nacktchip“) verfügbar sind
- Aktive und passive Bauelemente
- Spektrum der massiven SMD-Bauelemente nutzbar (mit Einschränkungen)

ET Microvia

- Kombination von aktiven und passiven Komponenten
- Hoch zuverlässige Aufbautechnologie
- Kupfer- oder Nickel-Palladium-Pad-Metallisierung der Komponenten

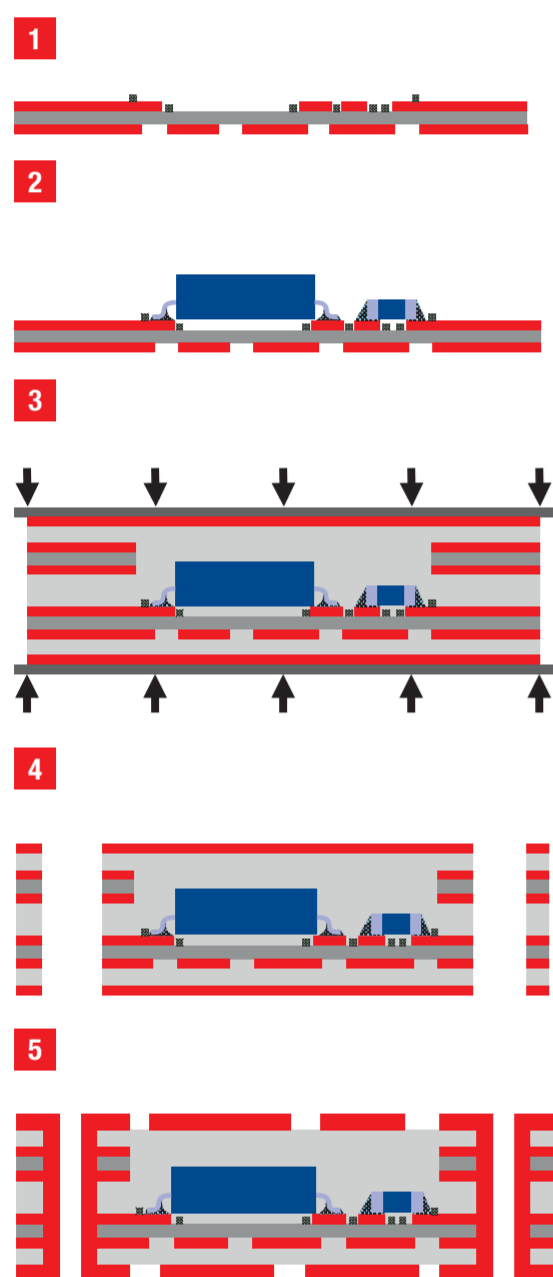
ET Flip-Chip

- Aktive Bauelemente, die bisher drahtgebondet wurden
- Keine passiven Komponenten möglich
- Aktive Bauelemente mit Pitch < 250 µm

PROZESSABLÄUFE

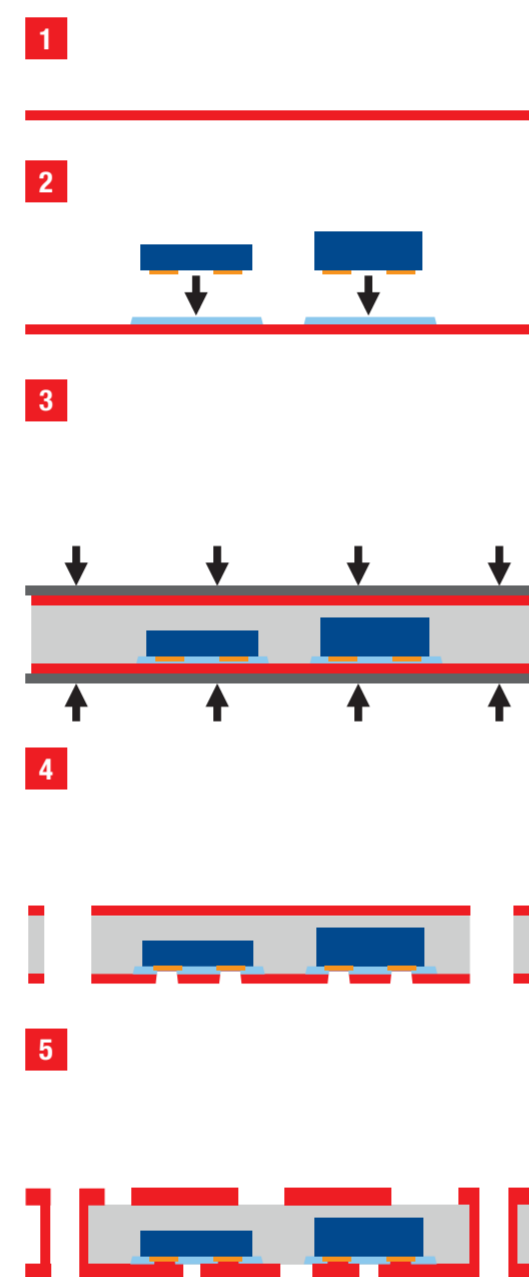
Die hier gezeigten Aufbauten dienen nur der Prozessdarstellung. Der tatsächliche Lagenaufbau und die Lagenzahl werden an die reale Kundenforderung angepasst.

ET Solder



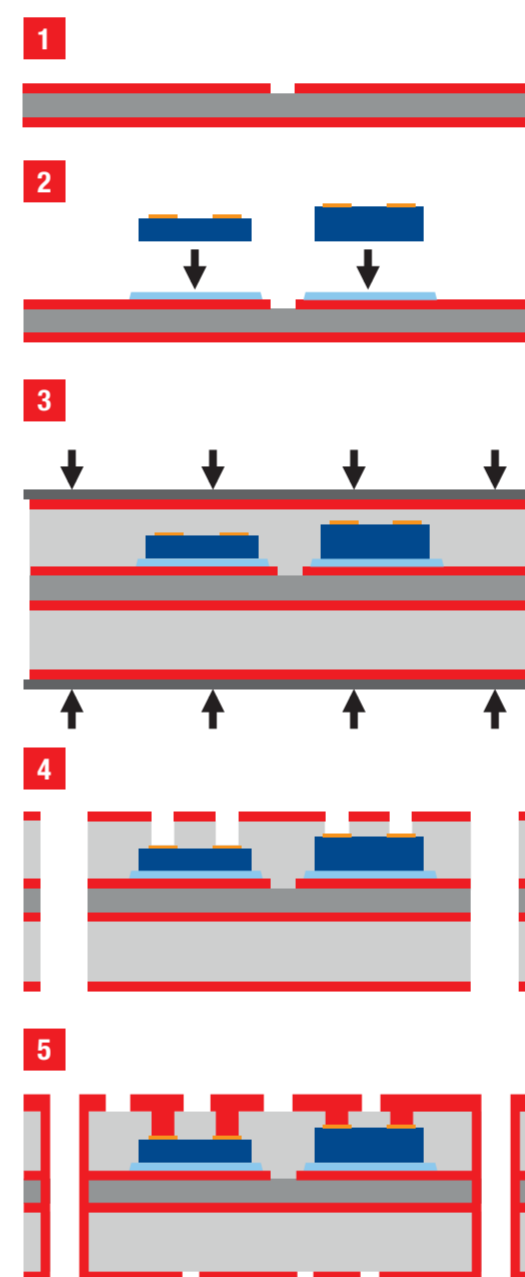
- 1 Strukturierter Innenlagen-Kern mit Footprint für SMD-Bauelemente
- 2 SMD-Bestückung (bleifrei Reflow)
- 3 Multilayer verpressen
- 4+5 Je nach Kundenwunsch weitere Leiterplattenprozesse

ET Microvia Variante 1



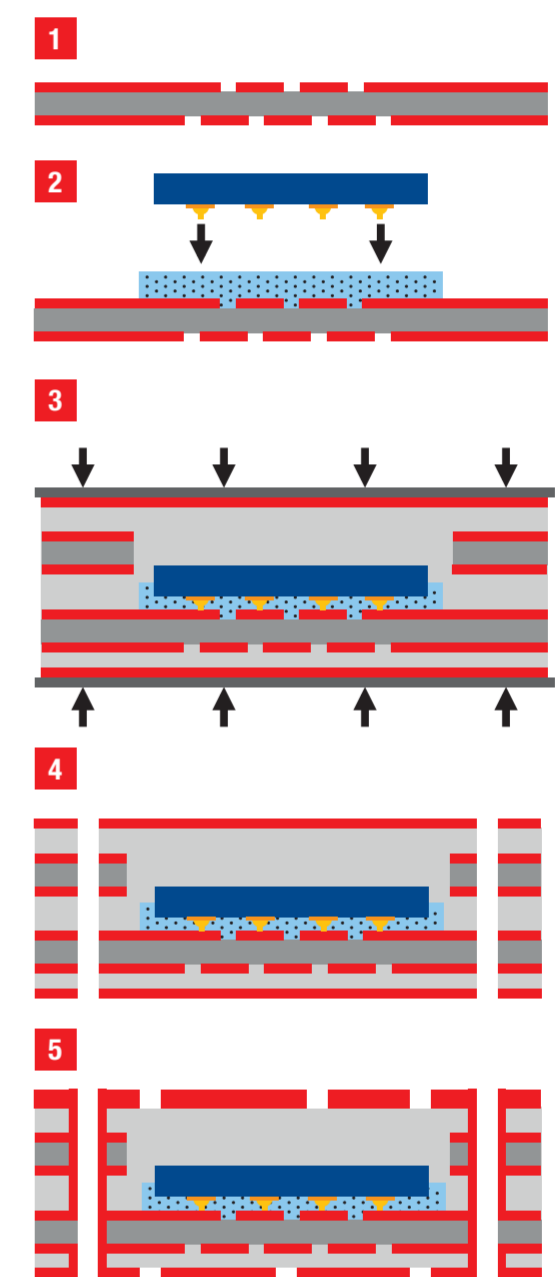
- 1 Kupferfolie als Startsubstrat
- 2 Bestückung (face-down) auf der Kupferfolie mit nicht-leitfähigem Klebstoff (NCA – non-conductive adhesive)
- 3 Multilayer verpressen
- 4 Öffnen des Kupfers und des Klebstoffes mit dem Laser bis zur Chipmetallisierung
- 5 Kupfermetallisierung & -strukturierung für die Herstellung einer elektrischen Verbindung zwischen Chip und Leiterplatte

ET Microvia Variante 2



- 1 Strukturierter Innenlagen-Kern
- 2 Bestückung (face-up) auf dem Kern mit leitfähigem (ICA – isotropic conductive adhesive) oder nicht-leitfähigem Klebstoff (NCA – non-conductive adhesive)
- 3 Multilayer verpressen
- 4 Öffnen des Kupfers und des Leiterplatten-Harzes mit dem Laser bis zur Chipmetallisierung
- 5 Kupfermetallisierung & -strukturierung für die Herstellung einer elektrischen Verbindung zwischen Chip und Leiterplatte

ET Flip-Chip

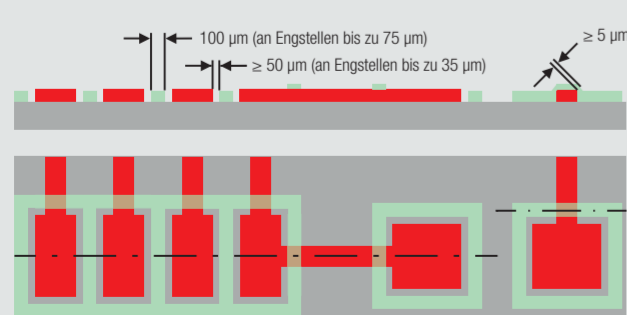


- 1 Strukturierter Innenlagen-Kern mit Footprint für Flip-Chip
- 2 Flip-Chip-Bestückung mit ACA-Klebstoff (anisotrop-leitfähiger Klebstoff)
- 3 Multilayer verpressen
- 4+5 Je nach Kundenwunsch weitere Leiterplattenprozesse

DESIGN RULES

Je nach Design und finaler Aufbauform der Leiterplatte mit eingebetteten Komponenten gelten die bei Würth Elektronik aktuell gültigen Design Rules/Design Guides „Basic Design Guide“, „Starrflex Design Guide“, „Wärmemanagement Design Guide“ sowie der „HDI Design Guide“. Die abweichenden, spezifischen Design Rules sind wie folgt:

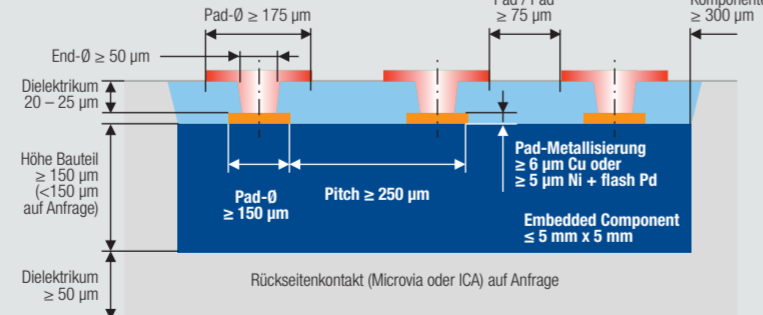
ET Solder



Bei ET Solder werden die Design Rules lediglich um die Regeln für die innenliegende Lötstopmmaske ergänzt. Die Lötstopmmaske darf NICHT vollflächig designed werden. Die Lötstoppfunktion wird durch Rahmen um die Lötspads definiert.

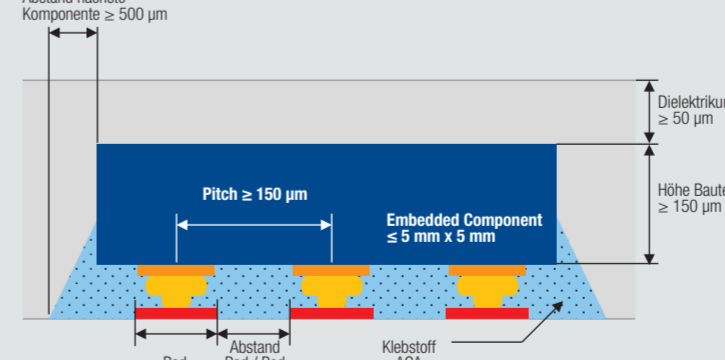
Diese Regel für die Lötstopmmaske gilt für eine Kupferstärke von 18 µm bzw. 35 µm auf der innenliegenden Bestücklage. Für dickeres Innenlagenkupfer bitte die Design Rules separat anfragen.

ET Microvia



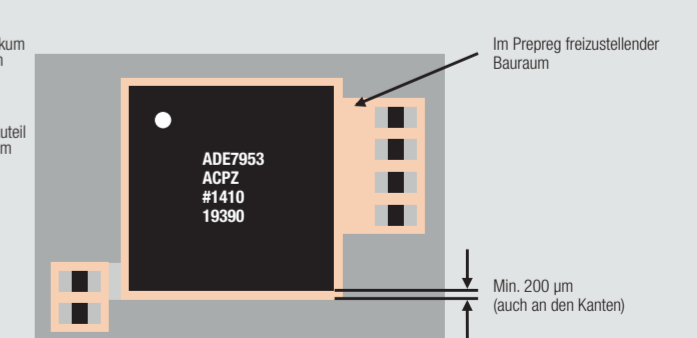
Diese dargestellten, minimalen Abmessungen für die Kupferleiterbahnen, Microvias und Pads bei ET Microvia gelten nur für die Bestücklage der Komponenten. Die max. Kupferstärke dieser Lage liegt bei 25 µm. Für andere Kupferstärken bitte separat anfragen.

ET Flip-Chip



Den Abmessungen für die Kupferleiterbahnen bei ET Flip-Chip liegen Kupferstärken ≤ 18 µm zugrunde. Für Kupferstärken > 18 µm bitte separat anfragen.

Platzierung der Bauelemente – Harzfluss



Im Prepreg wird für Bauelemente Bauraum freigestellt. Es gilt: Alle Punkte innerhalb des Bauraums müssen von der Bauraumgrenze in einer Entfernung von ≤ 5,0 mm erreichbar sein.