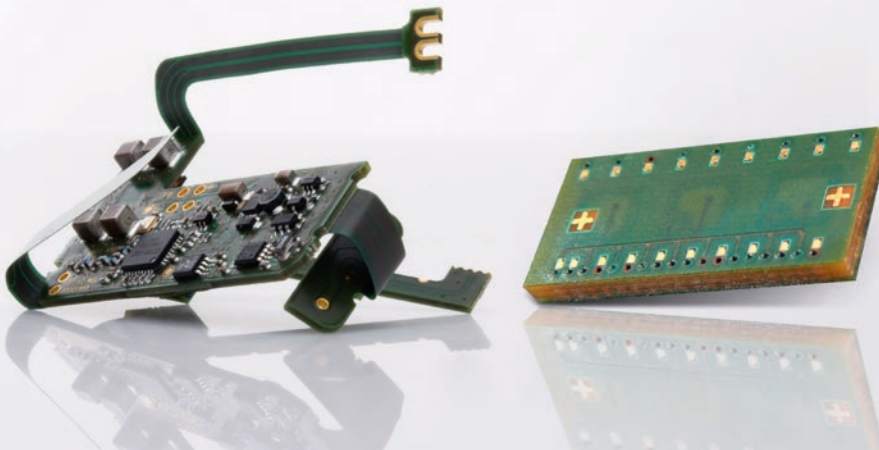


Embedding Technologie

Design Guide



Embedding Technologie

Die Zukunft der Elektronik tendiert zu höherer Zuverlässigkeit, mehr Funktionen und zunehmender Miniaturisierung. Eine effiziente Nutzung von immer kleiner werdenden Gehäusevolumen und winzigen Oberflächen gewinnt mehr und mehr an Bedeutung. ET (Embedding Technologie) dient als Lösung bei reduziertem Bauraum.

Aktive oder passive Bauelemente werden mithilfe eines Einbettverfahrens in die Leiterplatte gebracht, so dass diese komplett in den Aufbau integriert sind. Würth Elektronik unterscheidet dabei zwischen drei Herstellungsverfahren: ET Solder, ET Microvia und ET Flip-Chip.

Das Anwendungsspektrum reicht von der Automobilindustrie über die Industrieelektronik bis hin zu Medizintechnik und Sensorik.

Im Folgenden finden Sie einen Überblick über die „Embedding Technologie“ und praktische Hinweise zum Design:

- Indikatoren für die Technologiewahl
- Technologievergleich
- Verfügbarkeit von Bauelementen
- Design Rules

Die Vorteile der Embedding Technologie auf einen Blick

Miniaturisierung

- Gehäuseersatz
- Einsparung von Bestückfläche auf den Außenlagen

Funktionen

- Integrierte Schirmung
- Kurze Signalwege
- Plagiatenschutz

Zuverlässigkeit

- Schutz vor Umwelteinflüssen
- Vollflächige Fixierung von Bauelementen
- Wärmemanagement

Indikatoren für den Einsatz der Technologien

ET Solder

- Aktive Bauelemente, die nicht als Bare Die („Nacktchip“) verfügbar sind
- Aktive und passive Bauelemente
- Spektrum der massiven SMD-Bauelemente nutzbar (mit Einschränkungen)

ET Microvia

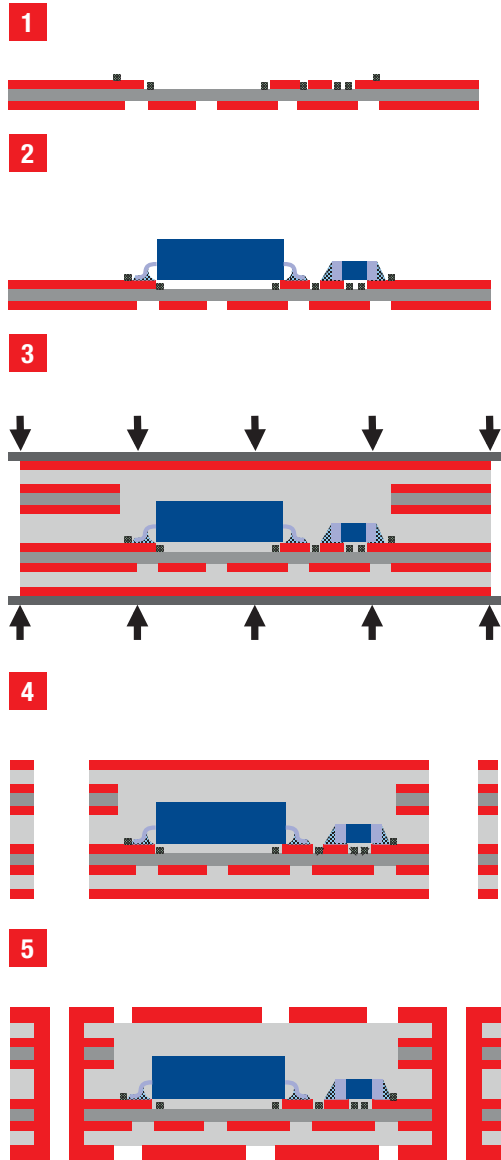
- Kombination von aktiven und passiven Komponenten
- Hoch zuverlässige Aufbautechnologie
- Kupfer- oder Nickel-Palladium-Pad-Metallisierung der Komponenten

ET Flip-Chip

- Aktive Bauelemente, die bisher drahtgebondet wurden
- Keine passiven Komponenten möglich
- Aktive Bauelemente mit Pitch < 250 µm

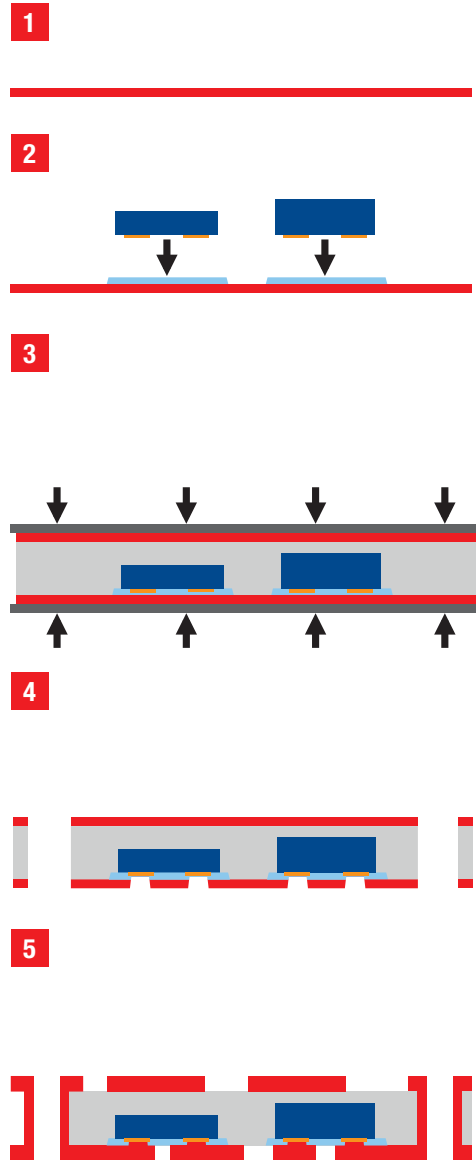
Prozessabläufe

ET Solder



- 1** Strukturierter Innenlagen-Kern mit Footprint für SMD-Bauelemente
- 2** SMD-Bestückung (bleifrei Reflow)
- 3** Multilayer verpressen
- 4+5** Je nach Kundenwunsch weitere Leiterplattenprozesse

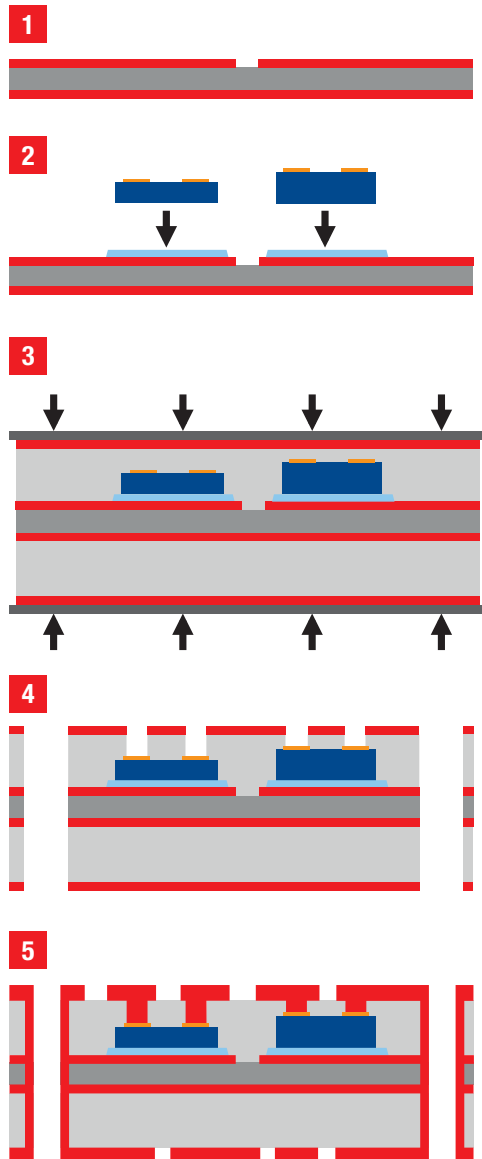
ET Microvia Variante 1



- 1** Kupferfolie als Startsubstrat
- 2** Bestückung (face-down) auf der Kupferfolie mit nicht-leitfähigem Klebstoff (NCA – non-conductive adhesive)
- 3** Multilayer verpressen
- 4** Öffnen des Kupfers und des Klebstoffes mit dem Laser bis zur Chipmetallisierung
- 5** Kupfermetallisierung & -strukturierung für die Herstellung einer elektrischen Verbindung zwischen Chip und Leiterplatte

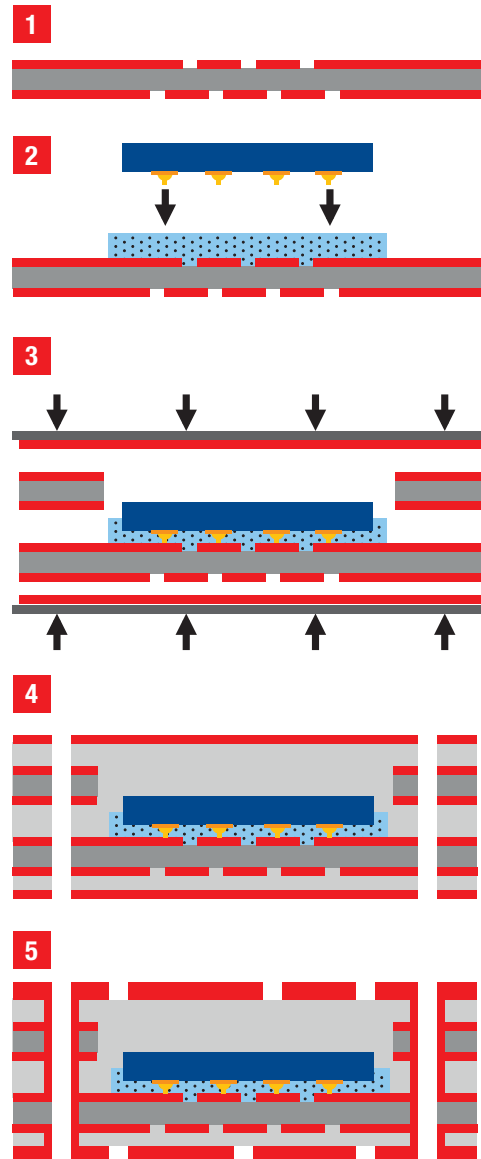
Prozessabläufe

ET Microvia Variante 2



- 1 Strukturierter Innenlagen-Kern
- 2 Bestückung (face-up) auf dem Kern mit leitfähigem (ICA – isotropic conductive adhesive) oder nicht-leitfähigem Klebstoff (NCA – non-conductive adhesive)
- 3 Multilayer verpressen
- 4 Öffnen des Kupfers und des Leiterplatten-Harzes mit dem Laser bis zur Chipmetallisierung
- 5 Kupfermetallisierung & -strukturierung für die Herstellung einer elektrischen Verbindung zwischen Chip und Leiterplatte

ET Flip-Chip



- 1 Strukturierter Innenlagen-Kern mit Footprint für Flip-Chip
- 2 Flip-Chip-Bestückung mit ACA-Klebstoff (anisotrop-leitfähiger Klebstoff)
- 3 Multilayer verpressen
- 4+5 Je nach Kundenwunsch weitere Leiterplattenprozesse

Projektplanung und Layout-Tipps

Ablauf bei Neuprojekten

Für die erste Umsetzungsplanung von Projekten mit eingebetteten Komponenten werden folgende Daten und Unterlagen benötigt:

BOM (Bill-of-Materials) der Komponenten, die eingebettet werden sollen (nicht die BOM der Außenlage)

- Inkl. aller mechanischen Abmessungen für die Volumenkalkulation des benötigten Bauraums
- Inkl. aller Toleranzen der mechanischen Abmessungen

Datensätze (bevorzugt Extended Gerber oder ODB++) und Dokumente mit

- Leiterplattenkontur (inkl. Liefernutzen-Kontur falls gewünscht)
- Geplanter/gewünschter Bestückplan der Innenlage mit den realen Außenkanten der Bauelemente (inkl. den Abmessungen für die Kontakte wie z. B. Gull-Wing- und J-Leads), sowie die zugehörigen Pick & Place-Daten (falls vorhanden)
- Layout-Daten (sofern schon vorhanden)
- Benötigte Lagenanzahl und gewünschte Lagenverbindungen sowie die erforderlichen Kupferstärken der Lagen
- Benötigte, vordefinierte Lagenabstände (z. B. für Impedanzen oder Isolationsstrecken)

Verfügbarkeit und Anforderungen an die Bauelemente

ET Solder

Prinzipiell alle SMD Bauelemente nutzbar mit folgenden Einschränkungen:

- Min. Baugröße EIA 0201
- Max. Baugröße 5 x 5 mm² (weitere Größen auf Anfrage evtl. möglich)
- Max. Bauelementedicke abhängig vom Lagenaufbau
- Keine Flüssigkeiten bzw. Elektrolyte im Bauelement erlaubt
- Keine Lufteinschlüsse im Bauelement erlaubt (wie z. B. bei Quarzen mit Metalldeckel)

ET Microvia

Passive Bauelemente:

- Passive Bauelemente (Kondensatoren und Widerstände) mit Kupferterminierung werden direkt von Würth Elektronik beschafft.
- Bauformen: EIA 0402 und z.T. EIA 0201
- Widerstandswerte: E96-Reihe
- Kondensatorwerte: Bitte anfragen, da nur wenige Werte bei den Herstellern verfügbar

Aktive Bauelemente:

- Bare Dies mit Cu-Pad-Metallisierung
- Bare Dies mit NiPd-Metallisierung

ET Flip-Chip

Keine passiven Bauelemente möglich

Aktive Bauelemente:

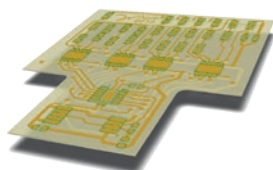
- Bare Dies mit drahtgebundenen Au-Stud-Bumps
- Bare Dies mit auf Wafer-Ebene aufgetragenen Au-Stud-Bumps

Layout-Tipps

ET Solder

Fast alle EDA-Tools können keine Lötstopprahmen auf Innenlagen darstellen.

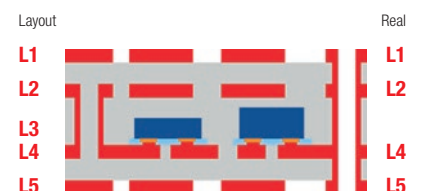
→ Innenlagen-Lötstopprahmen kann auf einem mechanischem Layer definiert werden.



ET Microvia

In den EDA-Tools ist es bisher meist nicht möglich ein Microvia zwischen Bauelement und Kupferlage zu definieren.

→ Kann durch eine zusätzliche (virtuelle) Kupferlage erreicht werden.

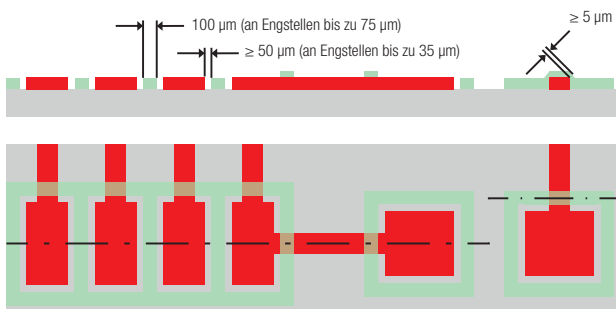


Design Rules

Soweit nicht anders vereinbart, gilt für alle Produkte mit eingebetteten Bauelementen die IPC-7092. Die zugehörige Leiterplattenfertigung entspricht IPC-A-600 Klasse II bzw. die Bestückung IPC-A-610 Klasse II.

Je nach Design und finaler Aufbauform der Leiterplatte mit eingebetteten Komponenten gelten die bei Würth Elektronik aktuell gültigen Design Rules/Design Guides „Basic Design Guide“, „Starrflex Design Guide“, „Wärmemanagement Design Guide“ sowie der „HDI Design Guide“. Die abweichenden, spezifischen Design Rules sind wie folgt:

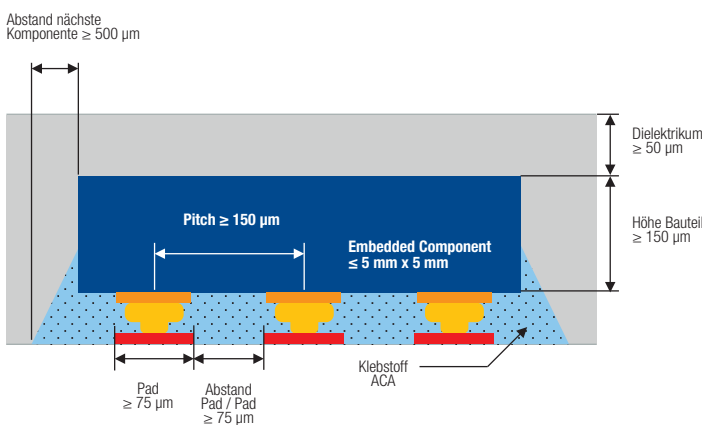
ET Solder



Bei ET Solder werden die Design Rules lediglich um die Regeln für die innenliegende Lötstopmmaske ergänzt. Die Lötstopmmaske darf NICHT vollflächig designt werden. Die Lötstoppfunktion wird durch Rahmen um die Löt pads definiert.

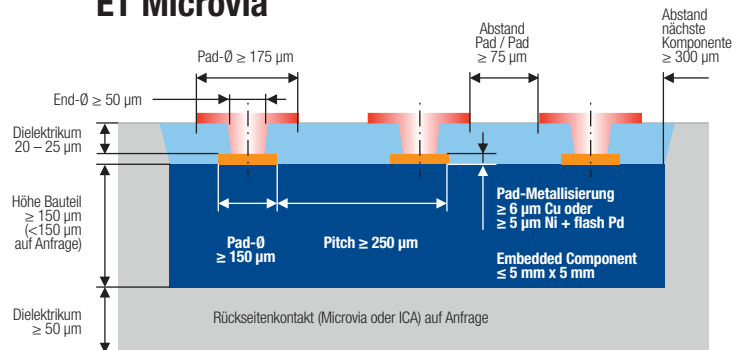
Diese Regel für die Lötstopmmaske gilt für eine Kupferstärke von 18 µm bzw. 35 µm auf der innenliegenden Bestücklage. Für dickeres Innenlagenkupfer bitte die Design Rules separat anfragen.

ET Flip-Chip



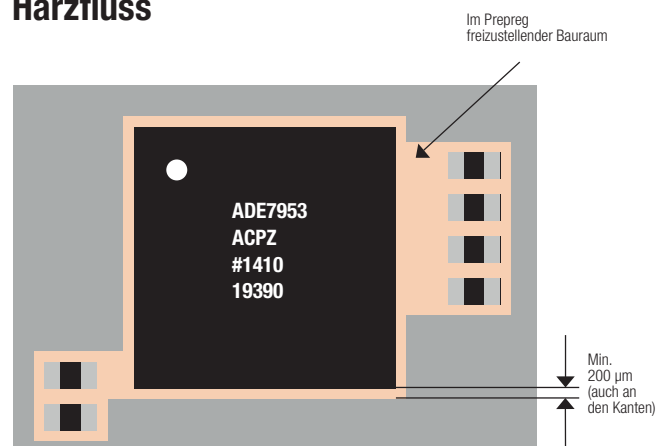
Den Abmessungen für die Kupferleiterbahnen bei ET Flip-Chip liegen Kupferstärken ≤ 18 µm zugrunde. Für Kupferstärken > 18 µm bitte separat anfragen.

ET Microvia



Diese dargestellten, minimalen Abmessungen für die Kupferleiterbahnen, Microvias und Pads bei ET Microvia gelten nur für die Bestücklage der Komponenten. Die max. Kupferstärke dieser Lage liegt bei 25 µm. Für andere Kupferstärken bitte separat anfragen.

Platzierung der Bauelemente – Harzfluss



Im Prepreg wird für Bauelemente Bauraum freigestellt. Es gilt: Alle Punkte innerhalb des Bauraums müssen von der Bauraumgrenze in einer Entfernung von ≤ 5,0 mm erreichbar sein.

Mehr Informationen zum Thema Embedding erhalten Sie auf unserer Internetseite unter www.we-online.de/embedding